

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-102477

(43)Date of publication of application : 23.04.1993

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-257543

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 04.10.1991

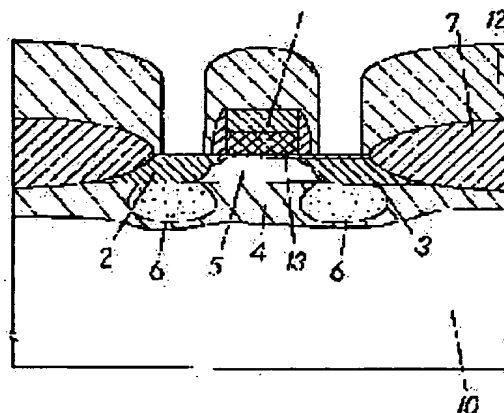
(72)Inventor : YASUI TAKATOSHI
HIRASE JUNJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device of high speed operation by reducing the parasitic capacitance of a source or drain region.

CONSTITUTION: Provided are a semiconductor substrate 10 of a first conductivity type, a transistor of a second conductivity type formed thereon, a punch-through stopper 4 of the first conductivity type formed under a channel region 5 of the transistor and a low concentration layer 6 of the first conductivity type formed under the source 2 and a drain 3 of the transistor with a concentration lower than that of the punch-through stopper 4. Thus, the high concentration punch-through stopper 4 directly under the channel region 5 of the transistor prevents a punch through between the source 2 and the drain 3, and further the low concentration layer 6 directly under the source and drain regions reduces the parasitic capacitances of the source 2 and the drain 3, the circuit operation thus being accelerated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-102477

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁶

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 0 1 L 29/ 78

3 0 1 S

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平3-257543

(22)出願日 平成3年(1991)10月4日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 安井 孝俊

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 平瀬 順司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 半導体装置

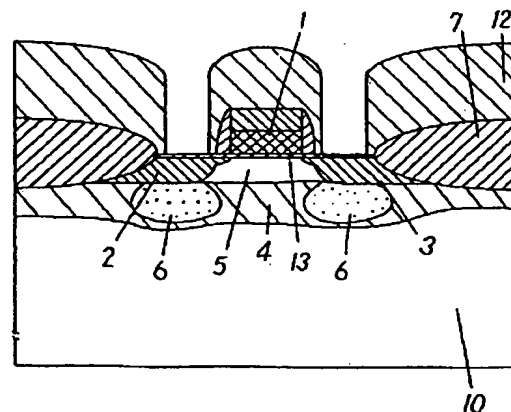
(57)【要約】

【目的】 ソース領域又はドレイン領域の寄生容量を小さくすることにより、より高速な回路動作を得るための半導体装置を提供することを目的とする。

【構成】 第1導電型の半導体基板10と、この半導体基板10に形成された第2導電型のトランジスタと、このトランジスタのチャネル領域5下に形成された第1導電型のパンチスルーストップ4と、前記トランジスタのソース2・ドレイン3下に形成され、パンチスルーストップ4より低濃度の第1導電型の低濃度層6とを備えたものである。

【効果】 トランジスタのチャネル領域直下の高濃度のパンチスルーストップ4によりソース、ドレイン間のパンチスルーを阻止しながら、ソース領域およびドレイン領域直下の低濃度層6によりソース、ドレインの寄生容量を小さくし、回路動作を高速にすることができる。

- 1 ポリシリコンゲート
- 2 ソース
- 3 ドレイン
- 4 パンチスルーストップ
- 5 チャネル領域
- 6 低濃度層
- 7 LOCOS酸化膜
- 10 P型基板
- 12 絶縁膜
- 13 ゲート絶縁膜



【特許請求の範囲】

【請求項1】第1導電型の半導体基板と、この半導体基板に形成された第2導電型のトランジスタと、このトランジスタのチャネル領域下に形成された第1導電型の第1半導体領域と、前記トランジスタのソース・ドレインの少なくとも一方の下に形成され、前記第1半導体領域より低濃度の第1導電型の第2半導体領域とを備えた半導体装置。

【請求項2】請求項1記載の第1導電型の半導体領域が前記半導体基板、ウェル、パンチスルーストップパ層のいずれかであることを特徴とする半導体装置。

【請求項3】請求項1又は請求項2記載の第1導電型の第2半導体領域が、第2導電型のトランジスタのゲート電極形成後にイオン注入法によって形成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速な回路動作を実現するための半導体装置に関するものである。

【0002】

【従来の技術】近年、半導体装置はその微細化の要請から、種々の試みがなされている。以下図面を参照しながら、上記の従来の半導体装置の一例について説明する。図6は従来の半導体装置の断面図を示すものである。図6において、MOSトランジスタがp型基板10上に形成されたポリシリコンゲート1、ソース2、ドレイン3、ゲート絶縁膜13により構成されている。4はパンチスルーストップパ、7はLOCOS酸化膜、12は絶縁膜である。以上のように構成された半導体装置ではパンチスルーストップパ4により、ソース2、ドレイン3からの空乏層の伸びが抑制され、ゲート長が小さくなくてもしきい値電圧の低下(短チャネル効果)が抑えられる。

【0003】

【発明が解決しようとする課題】しかしながら上記のような構成では、ソース領域又はドレイン領域の寄生容量が大きいため、その回路動作の高速性が損なわれるという問題点を有していた。

【0004】本発明は上記問題点に鑑み、ソース領域又はドレイン領域の寄生容量を小さくすることにより、より高速な回路動作を得るための半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の半導体装置は、第1導電型の半導体基板と、この半導体基板に形成された第2導電型のトランジスタと、このトランジスタのチャネル領域下に形成された第1導電型の第1半導体領域と、前記トランジスタのソース・ドレインの少なくとも一方の下に形成され、前記第1半導体領域より低濃度の第1導電型の第2半導体領域とを備えたものである。

【0006】上記第1導電型の第1半導体領域が、前記

半導体基板、ウェル、パンチスルーストップパ層のいずれかである。

【0007】

【作用】本発明は上記した構成によって、チャネル領域直下の高濃度の第1半導体領域によりソース、ドレイン間のパンチスルーを阻止しながら、ソース領域又は/およびドレイン領域直下の低濃度の第2半導体領域によりソース、ドレインの寄生容量を小さくし、回路動作の高速性を実現することとなる。

【0008】

【実施例】(実施例1)以下本発明の一実施例の半導体装置について、図面を参照しながら説明する。

【0009】本実施例では、第1導電型の第1半導体領域がパンチスルーストップパである場合を示す。図1は本発明の第1の実施例における半導体装置の断面図を示すものである。図1において、MOSトランジスタがp型基板10上に形成されたポリシリコンゲート1、ソース2、ドレイン3、ゲート絶縁膜13により構成されている。4は高濃度の第1導電型の第1半導体領域となるパンチスルーストップパ、5はチャネル領域、6は第1導電型の第2半導体領域となる低濃度層、7はLOCOS酸化膜、12は絶縁膜である。

【0010】素子の集積化が進むにつれて、トランジスタのゲート長も短くなり、短チャネル効果がますます顕著となる。この短チャネル効果を抑えるために、通常パンチスルーストップパ注入と称する基板やウェルと同じ導電型のイオンの注入を行なっているが、それに伴って、ソース2、ドレイン3の接合容量も増え、回路動作速度が遅くなる。そこで本実施例では低濃度層6を設けることにより、接合容量が低減され、回路動作速度が改善されることとなる。その際、チャネル領域5の下部は、パンチスルーストップパ4となっているため短チャネル効果も抑制される。

【0011】次に本発明の製造方法の実施例について図2を参照しながら説明する。図2(a)では、7はLOCOS(L OCal Oxidation of Silicon)酸化膜、8(膜厚300nm乃至600nm)はイオン注入保護酸化膜で、以上は図1の構成と同様なものである。通常のMOSトランジスタと同様にLOCOS酸化膜7を設けた後、イオン注入保護酸化膜8を通して、パンチスルーストップパ4(例えば、加速エネルギー160KeV、ドーズ量 $2 \times 10^{12} \text{cm}^{-2}$ のボロンイオン)を注入する。

【0012】その後、図2(b)では、通常のゲート形成を行ない、その後、このポリシリコンゲート1およびLOCOS酸化膜7をマスクとして、リン等の基板と反対の導電型の不純物9を注入する。その後、通常の層間絶縁膜12形成、コンタクト孔形成プロセスを経て、図1の断面図に示す様なトランジスタを得る。このように、ポリシリコンゲート1およびLOCOS酸化膜7をイオン注入マスクとして、リン等の基板と反対の導電型の不純物9を注

入することにより、従来のプロセスとの整合性がよく、しかも自己整合的に低濃度層6を形成することができる。

【0013】尚、ここで述べたゲート形成とは、膜厚150nm乃至300nmのリンをドーブしたポリシリコンと、ゲートの側壁に形成した誘電体膜と、ゲート上に形成した誘電体膜を含んでいる。ただし、ゲートの側壁に形成した誘電体膜と、ゲート上に形成した誘電体膜は、必ずしも必要ではない。

【0014】以上のように構成された半導体装置について、どのようにして容量が減少するのかを説明する。まず(数1)はpn接合の容量を示す式である。

【0015】

【数1】

$$C_D = \frac{\epsilon_0 \epsilon_s}{x_D}$$

【0016】

【数2】

$$x_D = \sqrt{\frac{2\epsilon_0 \epsilon_s}{q N_B} (V_{bi} + V_{BS})}$$

【0017】ここで、 C_0 はpn接合の接合容量、 x_0 はpn接合の空乏層の幅で(数2)で表される。 q は電荷素量、 n_i は純粋なシリコン中の電化密度、 ϵ_0 は真空の誘電率、 ϵ_s はシリコンの比誘電率、 N_A はソース、ドレインの不純物濃度、 N_B は空乏層付近の基板濃度、 V_{BS} は基板バイアス電圧(ソース基板間電圧)、 V_{bi} はビルトインポテンシャルをそれぞれ表す。また、ビルトインポテンシャル V_{bi} は、(数3)で表される。但し、 k はボルツマン定数、 T は絶対温度を表す。

【0018】

【数3】

$$V_{bi} = \frac{kT}{q} \ln \left(\frac{N_A N_B}{n_i^2} \right)$$

【0019】これらの式を用いて、どの程度接合容量が減少するか、計算してみる。図1における基板10の濃度 N_B が、 $N_B = 1 \times 10^{16} \text{cm}^{-3}$ ($T = 300^\circ \text{C}$)の場合、その単位面積当たりの接合容量 C_D は、 $C_D = 1.7 \times 10^{-8} \text{F/cm}^2$ であるのに対し、低濃度層6を備えることにより、基板濃度 N_B を $1 \times 10^{15} \text{cm}^{-3}$ にすると、その単位面積当たりの接合容量 C_D は、 $C_D = 5.2 \times 10^{-9} \text{F/cm}^2$ となり、約3分の1に減少させることができる。これを、実測したものが、図3である。横軸にソース基板間電圧 V_{BS} 、縦軸に接合容量を任意単位で表している。従来例に対して、本実施例では、接合容量が約半分になっていることがわかる。

【0020】以上のように本実施例によれば、トランジスタのソース・ドレイン2下に、第1導電型の半導体基板10より低濃度な半導体領域6を設けることにより、短チャネル効果を抑制しながら、寄生容量を小さくする

ことができる。

【0021】(実施例2)図4は本発明の第2の実施例における半導体装置の断面図を示すものである。本実施例では第1導電型の半導体領域が第1導電型のウェルである場合を示す。

【0022】図4において、MOSトランジスタが高濃度の第1導電型の第1半導体領域となるp型ウェル11上に形成されたポリシリコンゲート1、ソース2、ドレイン3、ゲート絶縁膜13により構成されている。5はチャネル領域、6は第1導電型の第2半導体領域となる低濃度層、10はp型基板、12は絶縁膜である。素子の集積化が進むにつれて、トランジスタのゲート長が短くなるとともに短チャネル効果を抑えるため、ゲート酸化膜13厚がますます薄くなる。それに伴って、ウェル11の濃度が濃くなるため、ソース2、ドレイン3の接合容量も増え、回路動作速度が遅くなる。そこで本実施例では低濃度層6を設けることにより、接合容量が低減され、回路動作速度が改善されることとなる。その際、チャネル領域5の下部は、p型ウェル11と同じ濃度となっているため短チャネル効果も抑制される。

【0023】(実施例3)図5は本発明の第3の実施例における半導体装置の断面図を示すものである。本実施例では第1導電型の半導体領域が半導体基板である場合を示す。

【0024】図5において、MOSトランジスタが高濃度の第1導電型の第1半導体領域となるp型基板10上に形成されたポリシリコンゲート1、ソース2、ドレイン3、ゲート絶縁膜13により構成されている。5はチャネル領域、6は第1導電型の第2半導体領域となる低濃度層、12は絶縁膜である。素子の集積化が進むにつれて、p型基板の不純物濃度は高くなるが、それに伴って、ソース2、ドレイン3の接合容量も増え、回路動作速度が遅くなる。そこで本実施例では低濃度層6を設けることにより、接合容量が低減され、回路動作速度が改善される。

【0025】なお上記実施例1~3では、低濃度層6をソース領域及びドレイン領域直下に形成したが、ソース領域、ドレイン領域いずれか一方の直下に形成されていても同様の効果を有することは言うまでもない。

【0026】また上記実施例1~3では、第1導電型の半導体基板10としてp型基板とp型ウェルの場合を述べたが、n型基板でもよいし、n型ウェルでもよい。ただし、n型基板、n型ウェルの場合は、基板と反対の導電型の不純物9として、ボロンイオン等が用いられる。

【0027】また、本実施例の場合、パンチスルーストップとしてボロンイオンをあげたが、第1導電型の半導体基板10としてn型基板、n型ウェルを使用する場合は、パンチスルーストップとしてリンイオン等を用いる。

【0028】

【発明の効果】以上のように本発明によれば、トランジスタのチャネル領域直下の高濃度の第1 半導体領域によりソース、ドレイン間のパンチスルーを阻止しながら、ソース領域又は/及びドレイン領域直下の低濃度の第2 半導体領域によりソース、ドレインの寄生容量を小さくし、回路動作を高速にすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の断面図

【図2】同実施例における半導体装置の製造方法の工程断面図

【図3】横軸にソース基板間電圧VBS、縦軸に接合容量を任意単位で表した実測図

【図4】本発明の第2の実施例における半導体装置の断面図

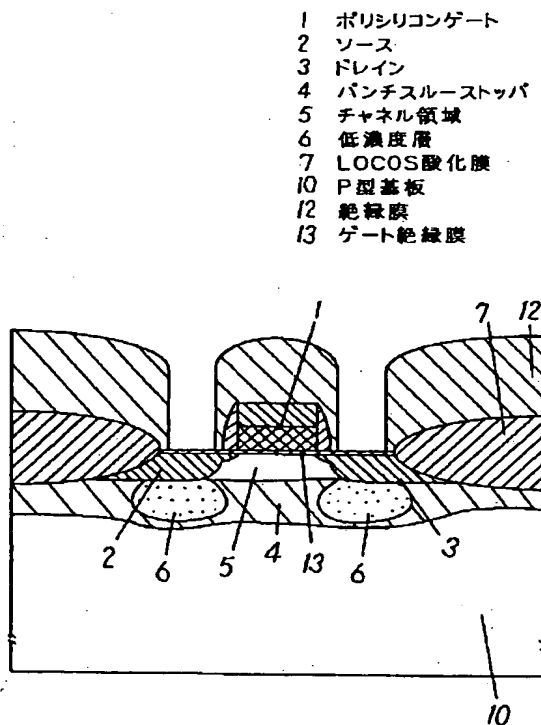
【図5】本発明の第3の実施例における半導体装置の断面図

【図6】従来の半導体装置の断面図

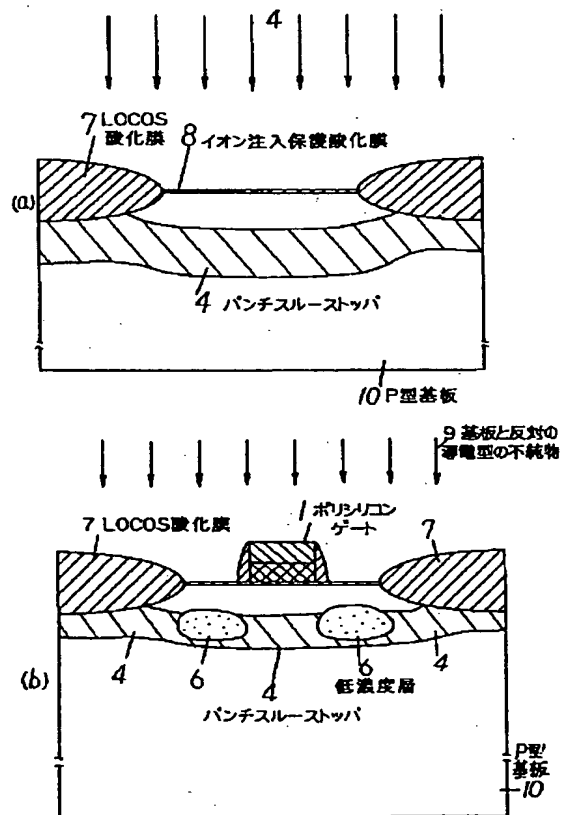
【符号の説明】

- 1 ポリシリコンゲート
- 2 ソース
- 3 ドレイン
- 4 パンチスルーストップ
- 5 チャネル領域
- 6 低濃度層
- 7 LOCOS酸化膜
- 8 イオン注入保護酸化膜
- 9 基板と反対の導電型の不純物
- 10 p型基板
- 11 p型ウェル

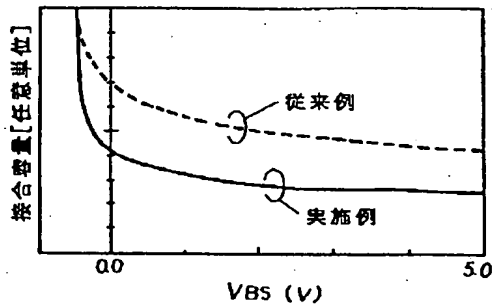
【図1】



【図2】

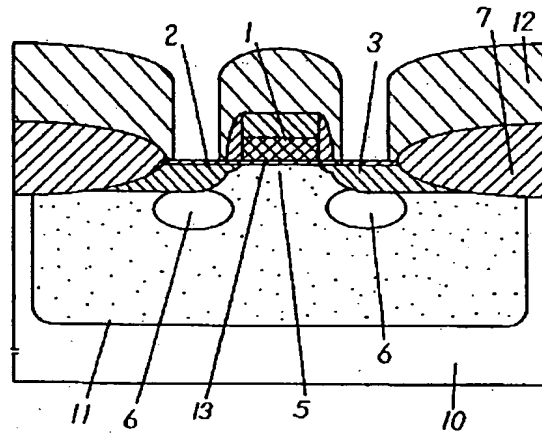


【図3】



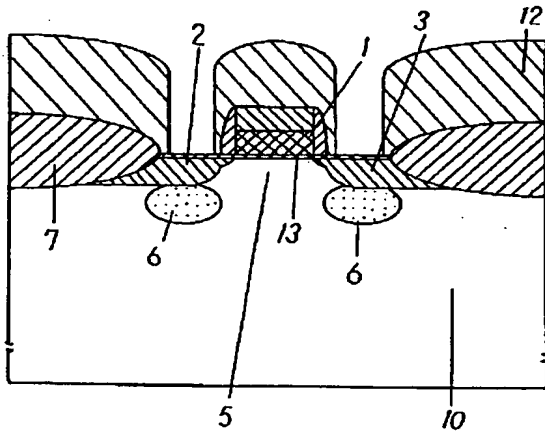
【図4】

- 1 ポリシリコンゲート
- 2 ソース
- 3 ドレイン
- 5 チャンネル領域
- 6 低濃度層
- 7 LOCOS酸化膜
- 10 P型基板
- 11 P型ウェル
- 12 絶縁膜
- 13 ゲート絶縁膜



【図5】

- 1 ポリシリコンゲート
- 2 ソース
- 3 ドレイン
- 5 チャンネル領域
- 6 低濃度層
- 7 LOCOS酸化膜
- 10 P型基板
- 12 絶縁膜
- 13 ゲート絶縁膜



【図6】

- 1 ポリシリコンゲート
- 2 ソース
- 3 ドレイン
- 4 バンチスルーストップパ
- 5 チャンネル領域
- 7 LOCOS酸化膜
- 10 P型基板
- 12 絶縁膜
- 13 ゲート絶縁膜

